

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **03091974 A**(43) Date of publication of application: **17.04.91**

(51) Int. Cl.

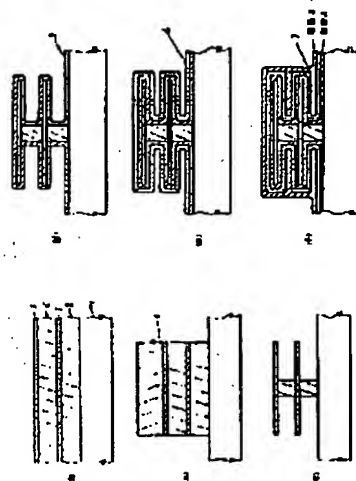
H01L 49/02**H01L 21/00**(21) Application number: **01228545**(22) Date of filing: **04.09.89**(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**(72) Inventor:
**FURUKAWA HIDETOSHI
UEDA DAIJUKE
HAGIO MASAHIRO****(54) MANUFACTURE OF SEMICONDUCTOR DEVICE****(57) Abstract:**

PURPOSE: To form a capacitor of Metal-Insulator-Metal structure into a multilayer without increasing processes in number by a method wherein a multilayered film composed of dielectric films and conductor films is formed, then the multilayered film is subjected to a shaping process, the dielectric films are selectively etching, and an amorphous silicon film, a dielectric film, and an amorphous silicon film are formed.

CONSTITUTION: Dielectric films 2 and conductor films 3 capable of being selectively etched are alternately formed on a GaAs substrate 1 to form a multilayered film. Then, a part of the multilayer film is selectively etched in a vertical direction as far as the GaAs substrate 1 to shape the whole multilayered film. Next, only the dielectric layers 2 of the shaped multilayered film are selectively etched to a certain extent, the outline of the shape of the multilayered film processed through etching is coated with a conductive amorphous silicon thin film 5, a dielectric film 6, and a conductive amorphous silicon thin film 7 in this order through an optical CVD method. By this setup, a capacitor of multilayer MIM structure is formed on the

GaAs substrate 1, so that a capacitor of MIM structure can be formed into a multilayer.

COPYRIGHT: (C)1991,JPO&Japio



⑤ Int. Cl.³H 01 L 49/02
21/00

識別記号

J

庁内整理番号

2104-5F
7454-5F

⑬ 公開 平成3年(1991)4月17日

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 半導体装置の製造方法

⑰ 特 願 平1-228545

⑱ 出 願 平1(1989)9月4日

⑲ 発 明 者	古 川	秀 利	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑲ 発 明 者	上 田	大 助	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑲ 発 明 者	萩 尾	正 博	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑲ 出 願 人	松下電器産業株式会社			大阪府門真市大字門真1006番地
⑲ 代 理 人	弁理士 栗野 重孝			外1名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

半絶縁性半導体基板の上に、誘電体膜と導電体膜を交互に堆積させ、多層膜を形成する工程と、前記多層膜を選択的に前記基板まで垂直方向にエッチングする工程と、前記垂直方向のエッチングによって得られた、前記多層膜の側面から、水平方向に、誘電体膜のみを一定量エッチングする工程と、前記誘電体膜のエッチングにより形成された加工形状の外郭に、光CVD(Chemical Vapor Deposition)により、導電性を有するアモルファスシリコンあるいはポリシリコンの層膜を形成する工程と、前記導電性を有する層膜を堆積させた外郭に、更に光CVDにより誘電体膜を形成する工程と、前記導電性を有する層膜の外側に形成した誘電体膜の外側に、更に光CVDにより、導電性を有するアモルファスシリコン膜あるいはポリシリコン膜を形成する工程とからなる半導体装置

の製造方法。

3. 発明の詳細な説明

産業上の利用分野

本発明は、半導体装置の製造方法に関するものである。

従来の技術

GaAs 集積回路中に容量を形成する方法としては、一般に、金属膜により、誘電体膜を挟み込んだ、MIM(Metal Insulator Metal)構造が用いられる。面積を広げずに、大容量を得るための一方法として、上記の構造を上積み重ね多層構造にする方法がある。

発明が解決しようとする課題

しかし、この多層MIM構造の容量を形成するためには、一層形成する毎に、その層の形状を加工する必要があり、多層にするほど、工程数が多くなるという課題が存在した。

課題を解決するための手段

上記の課題を解決するために、本発明の製造方法では、先ず、GaAs 基板上に選択エッチング

可能な誘電体膜と導電体膜を交互に堆積させ、多層膜を形成し、次に、この多層膜の一部を選択的にGaAs基板まで垂直方向にエッチングし、多層膜全体の形状を加工する。次に、前記多層膜の誘電体層のみを、選択的に一定量エッチングし、エッチングによって得られた加工形状の外郭を、導電性を有するアモルファスシリコン膜、誘電体膜、導電性を有するアモルファスシリコン膜の順に、被膜することにより、多層MIM構造を得る。

作用

上記の製造方法を用いることにより、多層MIM構造の容量形成に際し必要であった一層毎の形状加工の必要がなくなり、何層の構造でも、誘電体膜と導電体膜の多層膜形成後に、多層膜全体の形状加工、誘電体層の選択エッチング、及びそれに続く、導電性を有するアモルファスシリコン膜、誘電体膜、導電性を有するアモルファスシリコン膜の順の3回の被膜工程により、多層MIM構造を実現でき、従来に比べ工程数を大幅に低減でき

(電極A)が形成される。続いて第1図eに示すように、先のアモルファスシリコン層の外側に光CVDにより、更にシリコン窒化膜層6を堆積する。次にシリコン窒化膜層の外側に、再度光CVDにより、ホウ素を混入させ、導電性をもたせたアモルファスシリコン層7を堆積することにより、第1図fのように、容量の他方の電極(電極B)を形成する。以上の工程で、5層のMIM構造の容量が、GaAs基板上に形成される。

なお、本実施例では、最初が多層膜を形成する誘電体膜と導電体膜に、それぞれシリコン窒化膜と白金膜を用いたが、多層膜形成後に、誘電体層のみを選択的にエッチングできる組合せであれば、本実施例の組合せに限ったものではない。容量の電極としたアモルファスシリコンは、導電性を持たせるためのホウ素をドーブしたが、ドーパントはこれに限らず又電極間の誘電体膜として、光CVDによるシリコン窒化膜を用いたが、堆積方法、物質ともに、これに限ったものではない。

発明の効果

る。

実施例

第1図は、本発明の一実施例を示す工程図で、GaAs基板上に5層のMIM構造の容量を形成する工程図である。まず、半絶縁性GaAs基板1上に、シリコン窒化膜2及び白金薄膜3を交互に堆積し、第1図aに示すような4層膜を形成する。次に第1図bに示すように、フォトレジスト4でマスクし、CF₄ガスを用いたRIE(Reactive Ion Etching)により、露出した部分の4層膜のエッチングを行ない、膜全体の形成を加工する。次に第1図cに示すように、フッ酸系のエッチング液により、先の形状加工により露出した断面から、水平方向にシリコン窒化膜層を一定量エッチングする。次に第1図dに示すように、先のシリコン窒化膜のエッチングによって得られた加工形状の外郭に、光CVD(Chemical Vapor Deposition)により、ホウ素の混入により導電性をもたせたアモルファスシリコン層5を堆積する。これにより、MIM構造の容量の一方の電極

以上のように、本発明は、先ずGaAs基板上に選択エッチング可能な誘電体膜と導電体膜を、交互に堆積させ、多層膜を形成し、次に、この多層膜の一部を選択的にGaAs基板まで垂直方向にエッチングし、多層膜全体の形状を加工する。次に全体の形状を加工した多層膜の誘電体層のみを、選択的に一定量エッチングし、エッチングによる加工形状の外郭を、導電性を有するアモルファスシリコンあるいはポリシリコンの薄膜、誘電体膜、導電性を有するアモルファスシリコン膜あるいはポリシリコン膜の順に、光CVDにより被膜を行うことにより、GaAs基板上に、多層MIM構造の容量を形成するもので、工程数を増加させることなく、MIM構造の容量の多層化を実現でき、その実用的効果は大なるものがある。

4、図面の簡単な説明

第1図は本発明の製造方法による、多層MIM構造の容量の形成工程を示す図である。

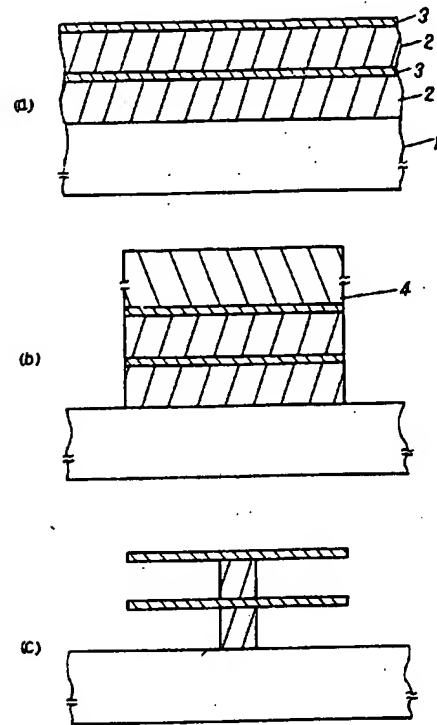
1……半絶縁性GaAs基板、2……シリコン窒化膜、3……白金薄膜、4……フォトレジスト

ト、5、7……ホウ素をドーピングしたアモルファスシリコン膜、6……シリコン窒化膜。

代理人の氏名 弁理士 栗野重孝 ほか1名

1 …… 半絶縁性GaAs基層
2 …… シリコン酸化膜
3 …… 白金膜

第1図



第1図

